

1/5/2

DIALOG(R) File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

01985551      \*\*Image available\*\*  
SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

PUB. NO.:        61-199651 A]  
PUBLISHED:      September 04, 1986 (19860904)  
INVENTOR(s):    OBA OSAMU  
                 YOSHIDA MAKOTO  
APPLICANT(s):   FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:      60-040583 [JP 8540583]  
FILED:          February 28, 1985 (19850228)  
INTL CLASS:     [4] H01L-023/48; H01L-021/60; H01L-023/12  
JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)  
JOURNAL:        Section: E, Section No. 475, Vol. 11, No. 31, Pg. 165,  
                 January 29, 1987 (19870129)

ABSTRACT

PURPOSE: To eliminate any unfavorable effect on circuits in an IC by a method wherein all of lead terminals disconnected to inner circuits provided on an integrated circuit are grounded.

CONSTITUTION: All of lead terminals N disconnected to inner circuit provided on an IC package are grounded. Besides, in case of forming a wiring pattern, any disconnected bonding pads are to be automatically connected to a grounding conductor L(sub 0). Through these procedures, any static breakdown may be prevented from occurring while improving the shield effect, diminishing any induction noise such as crosstalk etc. and reinforcing the noise resistance to stabilize the IC circuit.

## ⑫ 公開特許公報(A)

昭61-199651

⑤ Int.Cl.

識別記号

庁内整理番号

④ 公開 昭和61年(1986)9月4日

H 01 L 23/48  
21/60  
23/127357-5F  
6732-5F  
7357-5F

審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 半導体集積回路およびその製造方法

⑯ 特 願 昭60-40583

⑰ 出 願 昭60(1985)2月28日

⑱ 発 明 者 大 場 収 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑲ 発 明 者 吉 田 誠 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑳ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地  
 ㉑ 代 理 人 弁理士 松岡 宏四郎

## 明 細 書

## 1. 発明の名称

半導体集積回路およびその製造方法

## 2. 特許請求の範囲

(1) 集積回路パッケージに設けられている、内部回路とは無接続のリード端子すべてが、接地されていることを特徴とする半導体集積回路。

(2) 配線パターン設計時に、無接続ボンディングパッドが接地配線に自動的に接続されるようにしたことを特徴とする半導体集積回路の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路(IC)とその製造方法に係り、特に、ICパッケージ(容器)の無接続リード端子の処置に関する。

現在、ICは驚異的に発展し続けて、あらゆる分野に普及し、且つ、IC自体はLSI、VLSIと著しく高集積化・高密度化されている。それは、ICの信頼度が高くて、システムや機器の信頼性を向上させていることにも一因があり、また、

ICの高集積化は、高速動作などICの性能向上に有利なためである。

一方、ICには静電破壊という問題があり、それはICの周囲にある物体や人体などに帯電した静電気が、ICと接触あるいは接近した端子を通して放電し、それによつて絶縁破壊させる現象である。

且つ、静電破壊はICの高集積化とは逆比例して増加する傾向にあり、静電破壊防止に対して高集積化は余り好ましくはない。従つて、ICの信頼性の面から、静電破壊とそれに伴う問題について、一層十分な配慮が望まれる。

また、一方、ICは高集積化される程、誘導ノイズが増加する問題があるが、このような内部回路間の誘導ノイズはできるだけ少ないことが望ましい。

〔従来の技術と発明が解決しようとする問題点〕

さて、この静電気による破壊について、従来、回路的には入力端子に静電破壊保護策が採られており、例えば第3図に示すようなショットキー

ランプトランジスタTRとショットキーダイオードD、抵抗Rを組み合わせたサージ電圧放電回路が設けられている。同図において、INは入力端子、GはIC内の回路に接続する。また、図示していないが、出力端子は出力回路が静電破壊から防護する能力を有しており、同様に静電破壊から保護されている。従つて、IC内の回路はまず安全に保護されていると云つてよい。

ところが、高集積化されたLSIともなれば、ICパッケージには多数のリード端子（以下、ピンと呼ぶ）が設けてあり、すべてのピンが内部の回路に接続しているわけではない。特に、ゲートアレイでは数千個のゲート回路を有していて、パッケージには数十～数千本程度のピンが設けられているが、その内の数本～数十本のピンは無接続ピンとなる。ゲートアレイはマスタースライス方式で作られ、それは半導体チップを一律に作成し、カスタマー（使用者）の要求でチップ内の配線を自在に換える方式で、この方式では無接続ピンの存在は避けられない問題である。

コン膜1が矢印部分で破壊されて、無接続ピンは接地状態になる。更に、サージ電圧が非常に高いと、点矢印部分でも破壊される。

この無接続ピンの静電破壊を避けるためには、その無接続ピンをワイヤーボンディングしないことが考えられるが、それは自動ボンディング機の入力を常時変更することになつて、大きな工数増加につながる。

又、第4図における二酸化シリコン膜1の膜厚を厚くすると絶縁耐圧は向上するが、それは段差が大きくなつてウエハプロセスを困難にする問題があり、そのため、チップ収率が低下する。

本発明は、このような問題のある無接続ピンをなくする半導体集積回路とその製造方法を提供するものである。

#### 〔問題点を解決するための手段〕

その目的は、ICパッケージに設けられている、内部回路とは無接続のリード端子すべてが、接地されている半導体集積回路によつて達成される。

又、それには、配線パターン作成時に、無接続

一方、周知のように、ICでは半導体チップ面のボンディングパッドとパッケージ内部のリードとの間は、金線やアルミニウム線によつてワイヤーボンディングされて接続しており、このようなワイヤーボンディングは自動ボンディング機で作業されている。従つて、チップ内のIC回路と無接続であり、電氣的に浮遊状態になつているピンも、一律にワイヤーボンディングすることにより合理化されている。

そうすると、若しその無接続ピンに静電気による高いサージ電圧が印加されれば、電荷の抜け道がなくなつて、絶縁耐圧の低い半導体チップの内部部分が破壊されて、接地状態になる。第4図は静電気による破壊部分を例示している図で、ボンディングワイヤーWがパッドPAにボンディングされているが、パッドPAの下層は膜厚数千Åの二酸化シリコン膜1で覆われ、その下の半導体チップは電氣的に浮遊した領域2が、接地された基板部3に囲まれた状態となつている。ここに、静電気が印加されると、最も絶縁耐圧の低い二酸化シリ

ボンディングパッドが接地配線に自動的に接続されるようにした半導体集積回路の製造方法で作成する。

#### 〔作用〕

即ち、本発明は、たとえ静電気が印加されても破壊されないように、電氣的に浮遊状態にある無接続ピンをなくして、接地しておく。

そうすれば、無接続ピンに加わる衝撃電圧がなくなり、IC内の回路への悪影響は避けられ、更に、回路安定化への効果も得られる。

#### 〔実施例〕

以下、図面を参照して実施例によつて説明すると、第1図は無接続パッド部分の平面図を示しており、PAはパッド、L<sub>0</sub>は接地配線、L<sub>1</sub>が本発明に関係する接続配線パターン、Wはボンディングワイヤーである。

従来より、半導体チップ上の配線パターンはコンピュータの力を借りて（CADシステムによつて）プログラム化されており、第1図のような無接続パッドを認識すれば、配線パターンL<sub>1</sub>を作

成する命令を入力しておけば、なんら工数を増加することなしに、すべての無接続ピンを接地ピンに換えることができ、自動的に配線できる。

このようなIC構造にすれば、上記したような静電破壊が防止されるが、その他にも次のような利点が得られる。例えば、ゲートアレイでは無接続ピンが通常、数%～数十%と多数存在しているが、それらを全部接地ピンにすると、ICパッケージ内で接地配線が密集した信号配線間に多数存在することになる。そのため、シールド効果が大きくなって、クロストークなどの誘導ノイズも減少し、又、ノイズへの耐性が強くなって、IC回路が安定化される。

第2図はピングリッドアレイ型パッケージを用いたICの斜視図を示しており、チップの周囲には無数のワイヤーWがボンディングされている。又、裏面には多数のピンNが設けられているが、本発明を適用すれば密集したワイヤーW部分およびパッケージ内での輻輳したメタライズ配線部分での誘導ノイズ耐性が強くなる。

Nはリード端子  
を示している。

代理人 弁理士 松岡 宏 四 郎



且つ、ゲートアレイでは、通常、接地配線がパッドの近くに配置されたパターン構造になっているため、第1図に図示した配線形成が簡単で確実にできる。そのため、特に本発明が有効になる。

〔発明の効果〕

以上の説明から明らかなように、本発明によれば静電破壊がなくなつて、且つ、ノイズに強いICが得られる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明にかかる無接続ボンディングパッド部分の図、第2図は本発明を適用するピングリッドアレイ型パッケージに収容したICの斜視図、第3図は従来のIC回路の入力端子のサージ電圧放電回路の例図、

第4図は従来の問題点を示す半導体チップ部分の断面図である。

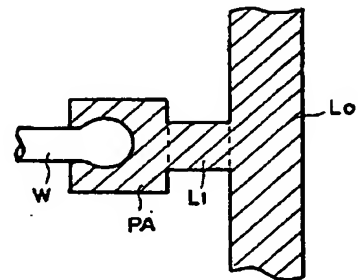
図において、

PAはパッド、

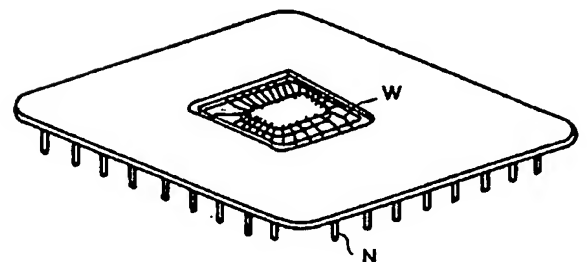
Wはボンディングワイヤー、

L<sub>0</sub>は接地配線、

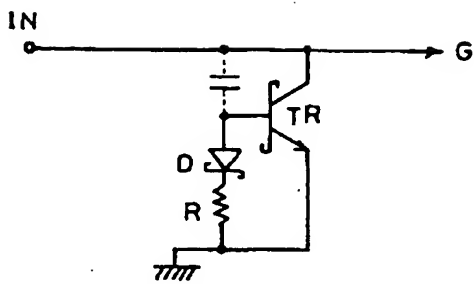
L<sub>1</sub>は接続配線、



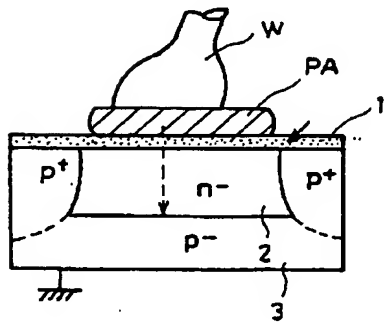
第 1 図



第 2 図



第 3 図



第 4 図